

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-338904

(43)Date of publication of application : 10.12.1999

(51)Int.Cl.

G06F 17/50  
H01L 21/82

(21)Application number : 10-144721

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 26.05.1998

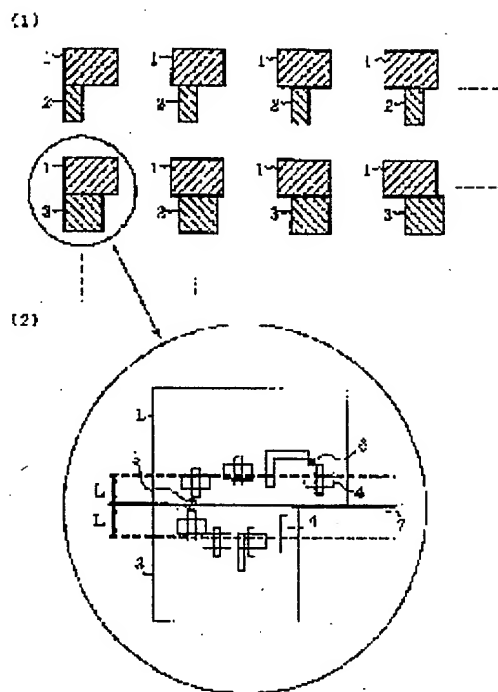
(72)Inventor : SADAKANE TOSHIYUKI  
SANADA KUNIIHIKO

## (54) METHOD FOR VERIFYING VIOLATION OF DESIGN RULE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To make efficiently detectable violations of design rules in a short time by deleting patterns in two cells which are a prescribed distance or longer apart from the tangent of two adjacent cells and subjecting remaining patterns in two cells to design rule violation detection processing.

**SOLUTION:** Data of patterns 4 to 6 adjacently arranged in all possible positional relations is generated with respect to all combinations of cells 1 to 3 in a given library. All of patterns 4 which are a distance L or longer apart from a tangent 7 of adjacent cells 1 to 3 are removed from the DRC application object. Finally, remaining patterns 5 and 6 are subjected to design rule violation verification using DRC to output all of violation information. The distance L is set in accordance with a design rule. Thus, the number of data of patterns taken as the object of design rule violation verification using DRC is reduced to shorten the DRC execution time.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-338904

(43) 公開日 平成11年(1999)12月10日

(51) IntCl.<sup>9</sup>

識別記号

F I

G 0 6 F 17/50

G 0 6 F 15/60

6 6 6 C

H 0 1 L 21/82

H 0 1 L 21/82

T

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号

特願平10-144721

(22) 出願日

平成10年(1998) 5月26日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 定兼 利行

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 真田 邦彦

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

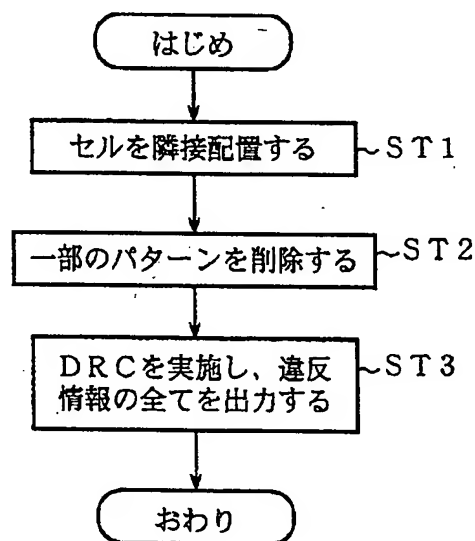
(74) 代理人 弁理士 田澤 博昭 (外1名)

(54) 【発明の名称】 設計ルール違反検証方法

(57) 【要約】

【課題】 設計ルール違反検証の対象となるパターンのデータ量が非常に大きく、設計ルール違反の検証を実行するのに非常に長い時間がかかってしまうという課題があった。

【解決手段】 任意の2つのセルを隣接して配置して、配置された隣接する2つのセルの接続から第1の所定の距離以上離れた位置にある2つのセル中のパターンを削除し、パターンの削除の結果残った2つのセル中のパターンに対して設計ルール違反の検出処理を行う。



ST1 : 配置ステップ

ST2 : 削除ステップ

ST3 : 設計ルール違反検出ステップ

## 【特許請求の範囲】

【請求項1】 任意の2つのセルを隣接して配置する配置ステップと、

該配置ステップにより配置された隣接する2つのセルの接線から第1の所定の距離以上離れた位置にある前記2つのセル中のパターンを削除する削除ステップと、  
該削除ステップによる前記パターンの削除の結果残った前記2つのセル中のパターンに対して設計ルール違反の検出処理を行う設計ルール違反検出ステップとを備えた設計ルール違反検証方法。

【請求項2】 設計ルール違反検出ステップによって検出された設計ルール違反のパターンのうち、隣接する2つのセルの接線から第2の所定の距離以上離れた位置にあるパターンを取り除き、それ以外の違反パターンだけを出力する設計ルール違反パターン出力ステップを更に備えたことを特徴とする請求項1記載の設計ルール違反検証方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、ある数の半導体素子を含むセルを複数個配置して、配置されたセル中の半導体素子のパターンが設計ルールに違反していないかをコンピュータを用いて検証する設計ルール違反検証方法に関するものである。

## 【0002】

【従来の技術】半導体集積回路を構成するためのセルを多数集めたセルライブラリから必要なセルを抽出して配置する配置設計では、個々のセル中の半導体素子のパターンの配置が設計ルールを満たすだけでは十分でなく、セルが実際に半導体チップ上に配置されたとき、隣接するセルのパターン間で設計ルール違反が起こらないようにする必要がある。すなわち、ライブラリ中のセルのパターンの配置は、「ライブラリ中のどの2つのセルがどのような位置関係で隣接配置されても両セルのパターン間に設計ルール違反が起こらない」ようになっている必要がある。このことを検証するために、ライブラリ中のすべてのセルの組合せに対して、あらゆる可能な位置関係でそれらのセルを隣接配置した場合のパターンのデータを作り、このデータに対して設計ルール違反をチェックする必要がある。与えられたパターンのデータに対して設計ルールの検証を行うプログラムはDRC（デザイン・ルール・チェッカ（Design Rule Checker））と呼ばれ、設計ルール違反の検証に、従来から広く用いられている。

【0003】図5は従来の設計ルール違反検証方法の手順を示すフローチャートである。このフローチャートを参照しながら、従来の設計ルール違反検証方法の手順を説明する。まず、与えられたライブラリ中のセルの全ての組合せに対し、あらゆる可能な位置関係で隣接配置したパターンのデータを作る（ステップST51）。次

に、このようにして配置されたパターンに対してDRCを用いた設計ルール違反の検証を実施する（ステップST52）。

【0004】図6は従来の設計ルール違反検証方法で検証されるセルの配置の一例を示す上面図である。図において、61～63はセル、64はセル61中の半導体素子のパターン、65はDRCを用いた設計ルール違反の検証の結果出力された設計ルール違反のパターンの例である。すなわち、図6の例では、図6の（1）に示すような、セル配置のパターンのデータに対してDRCを実行して設計ルール違反を検証した結果、図6の（2）に参照番号65で示すような設計ルール違反のパターンが発見された。

## 【0005】

【発明が解決しようとする課題】従来の設計ルール違反検証方法は以上のように構成されているので、セルの組合せと配置の位置関係のバリエーションが膨大であるためDRCを用いた設計ルール違反検証の対象となるパターンのデータ量が非常に大きくなり、DRCを実行する処理に非常に長い時間がかかってしまうという課題があった。

【0006】この発明は上記のような課題を解決するためになされたもので、効率的に短時間で設計ルール違反のパターンを検出できる設計ルール違反検証方法を得ることを目的とする。

## 【0007】

【課題を解決するための手段】この発明に係る設計ルール違反検証方法は、任意の2つのセルを隣接して配置して、配置された隣接する2つのセルの接線から第1の所定の距離以上離れた位置にある2つのセル中のパターンを削除し、パターンの削除の結果残った2つのセル中のパターンに対して設計ルール違反の検出処理を行うものである。

【0008】この発明に係る設計ルール違反検証方法は、検出された設計ルール違反のパターンのうち、隣接する2つのセルの接線から第2の所定の距離以上離れた位置にあるパターンを取り除き、それ以外の違反パターンだけを出力するステップを更に備えたものである。

## 【0009】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1はこの発明の実施の形態1による設計ルール違反検証方法の手順を示すフローチャートである。この実施の形態1による設計ルール違反検証方法においては、まず、与えられたライブラリ中のセルの全ての組合せに対し、あらゆる可能な位置関係で隣接配置したパターンのデータを作成する（ステップST1（配置ステップ））。次に、隣接したセルの接線から距離L（第1の所定の距離）以上離れた位置にあるパターンをすべてDRCの適用対象から削除する（ステップST2

## 3

(削除ステップ)。最後に、残ったパターンに対しDRCを用いた設計ルール違反の検証を実行し、全ての違反情報を出力する(ステップST3(設計ルール違反検出ステップ))。

【0010】ここで、距離Lは設計ルールに応じて設定する。たとえば、設計ルールがパターン(多角形)の間隔や幅の最小許容値の集合として与えられている場合、この最小許容値の最大値をXとすると、LはXより大きい値とする。隣接する両セルのパターン間で設計ルール違反が起こるとすれば、その違反に関わるパターンはセルの接線から距離X以内にあるはずである(セルのパターンはそのセルの境界より内部にしか存在しないことに注意)。よって検出したいルール違反(セル間のルール違反)に関わるパターンは決して削除されないので、検出すべきルール違反があれば必ず出力されることになる。

【0011】図2は実施の形態1による設計ルール違反検証方法で検証されるセルの配置の一例を示す上面図である。セルの配置は図6に示した従来例と同一の配置であるものとする。図2において、1~3はセル、4はセル1~3中の半導体素子のパターン、5と6はDRCを用いた設計ルール違反の検証の結果出力された設計ルール違反のパターンの例である。5はセル間の最小間隔ルール違反(検出したいルール違反)、6は図形が削除されたことにより生じた最小間隔ルール違反である。7はセル1と3の間の接線である。

【0012】図2の例では、図2の(1)に示すような、セル配置のパターンが配置データ中に存在し、このデータから図2の(2)に示すように、セル間の接線7から所定の距離Lより大きい距離の位置にあるパターンを削除し、残ったパターンに対してDRCを用いて検証した結果、図2の(3)に参照番号5及び6で示すような設計ルール違反のパターンが発見された。パターン6の違反情報は本来は発生していない偽の違反情報である。

【0013】以上のように、この実施の形態1によれば、配置されたパターンの一部を削除するため、DRCを用いた設計ルール違反検証の対象となるパターンのデータのデータ数を減らすことができ、DRCの実行時間を短縮することができるという効果が得られる。

【0014】実施の形態2。図3はこの発明の実施の形態2による設計ルール違反検証方法の手順を示すフローチャートである。図3において、図1に示した実施の形態1の手順と同一の手順には同一のステップ番号を付けてその説明を省略する。

【0015】この実施の形態2の設計ルール違反検証方法においては、全てのセルの組み合わせを隣接配置して(ステップST1)、セル間の接線7から距離L以上の位置にあるパターンを削除した(ステップST2)後、DRCの実行により検出されたルール違反のパターンの

## 4

うち、セルの接線から距離S(第2の所定の距離)以上離れた位置にあるものを削除し、それ以外の違反のパターンだけを出力する(ステップST4(設計ルール違反検出ステップ、設計ルール違反パターン出力ステップ))。

【0016】この実施の形態2においては、距離L、距離Sは設計ルールに応じて設定する。たとえば、設計ルールがパターン(多角形)の間隔や幅の最小許容値の集合として与えられている場合、この最小許容値の最大値をXとすると、距離SはXより大きい値、距離LはS+Xより大きい値とする。両セルのパターン間で設計ルール違反が起こるとすれば、その違反に関わるパターンはセルの接線から距離X以内にあるはずである(セルのパターンはそのセルの境界より内部にしか存在しないことに注意)。よってパターンの削除と違反情報の削除によって、検出すべきルール違反が出力されないという事態は起こらない。また、パターンを削除したことによって生じる偽の違反(パターンが削除されていなければ起こらないような違反)に関わる配置のパターンは削除されたパターンから距離X以内にあるはずであるから、セル境界から距離Sより遠い位置にあるはずである。よって疑似違反は削除され出力されない。

【0017】図4は実施の形態2による設計ルール違反検証方法で検証されるセルの配置の一例を示す上面図である。セルの配置は図6に示した従来例及び図2に示した実施の形態1と同一の配置であるものとする。図4において、図2の実施の形態1と同一の要素には同一符号を付けてその説明を省略する。図4においてSはセル1と3の間の接線7からの所定の距離を表す。

【0018】この実施の形態2においては、実施の形態1の場合に出力されていた偽の違反情報(図2のパターン6)は、距離Sより遠い位置にあるので、出力されていない。

【0019】以上のように、この実施の形態2によれば、実施の形態1と同様、パターンを削除することでDRCの処理時間を短縮できるという効果が得られ、同時に、プログラムの使用者が本来検出すべき設計ルール違反の有無を容易に見極めることができるという効果が得られる。

【0020】

【発明の効果】以上のように、この発明によれば、隣接する2つのセルの接線から第1の所定の距離以上離れた位置にあるパターンを削除して設計ルール違反の検出処理を行うように構成したので、効率的に短時間で設計ルール違反のパターンを検出することができる効果がある。

【0021】この発明によれば、設計ルール違反として検出されたパターンから、隣接する2つのセルの接線から第2の所定の距離以上離れた位置にあるパターンを取り除いて出力するように構成したので、パターンの削除

によって生じる偽の違反情報を出力しないで、本来検出すべきルール違反の有無を容易に見極めることができる効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による設計ルール違反検証方法の手順を示すフローチャートである。

【図2】 実施の形態1による設計ルール違反検証方法で検証されるセルの配置の一例を示す上面図である。

【図3】 この発明の実施の形態2による設計ルール違反検証方法の手順を示すフローチャートである。

【図4】 実施の形態2による設計ルール違反検証方法で検証されるセルの配置の一例を示す上面図である。

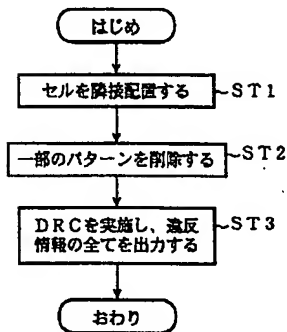
【図5】 従来の設計ルール違反検証方法の手順を示すフローチャートである。

【図6】 従来の設計ルール違反検証方法で検証されるセルの配置の一例を示す上面図である。

【符号の説明】

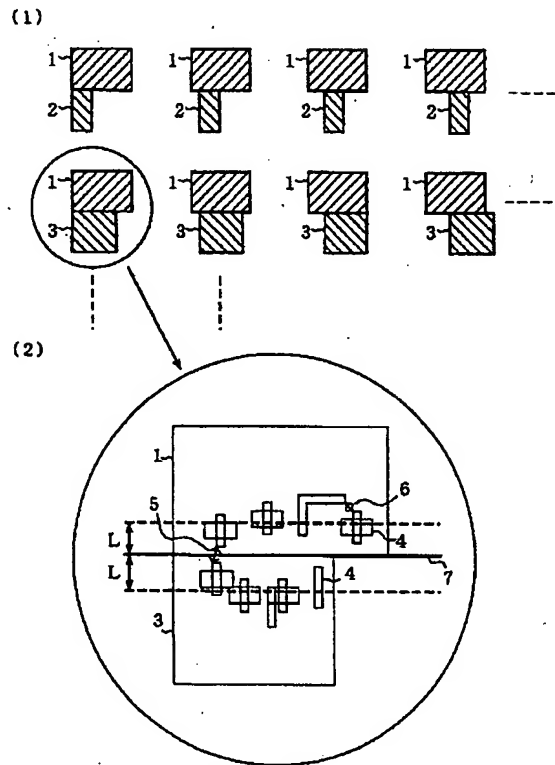
1～3 セル、4 パターン、5、6 設計ルール違反のパターン、7 接線、L 距離（第1の所定の距離）、S 距離（第2の所定の距離）、ST1 配置ステップ、ST2 削除ステップ、ST3 設計ルール違反検出ステップ、ST4 設計ルール違反検出ステップ、設計ルール違反パターン出力ステップ。

【図1】



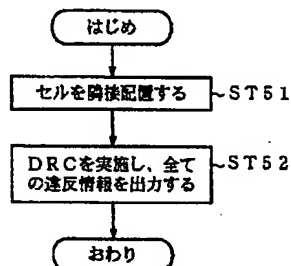
ST1: 配置ステップ  
ST2: 削除ステップ  
ST3: 設計ルール違反検出ステップ

【図2】

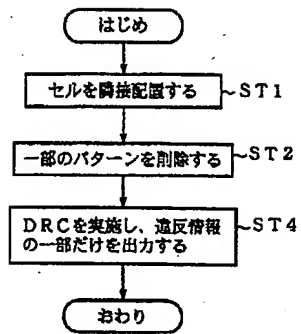


1～3: セル  
4: パターン  
5、6: 設計ルール違反のパターン  
7: 接線  
L: 距離（第1の所定の距離）

【図5】

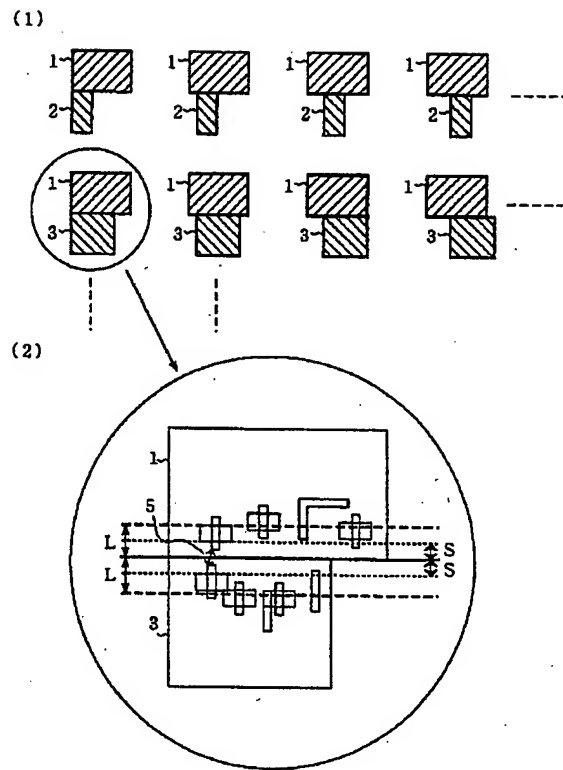


【図3】



ST4: 設計ルール違反検出ステップ、  
設計ルール違反パターン出力ステップ

【図4】



S: 距離 (第2の所定の距離)



【図6】

